

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

Jung-hyun LEE et al.

Group Art Unit: Unassigned

Application No.: Unassigned

Examiner: Unassigned

Filing Date: March 11, 2004

Confirmation No.: Unassigned

Title: METHOD FOR MANUFACTURING OXIDE FILM HAVING HIGH DIELECTRIC CONSTANT,
CAPACITOR HAVING DIELECTRIC FILM FORMED USING THE METHOD, AND METHOD FOR
MANUFACTURING THE SAME

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following priority foreign application(s) in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

Country: Republic of Korea

Patent Application No(s).: 10-2003-0015197

Filed: March 11, 2003

In support of this claim, enclosed is a certified copy(ies) of said foreign application(s). Said prior foreign application(s) is referred to in the oath or declaration. Acknowledgment of receipt of the certified copy(ies) is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

Date: March 11, 2004

By William C. Trousdale (Reg. 38,637) for
Charles F. Wieland III
Registration No. 33,096

대한민국 특허청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0015197
Application Number

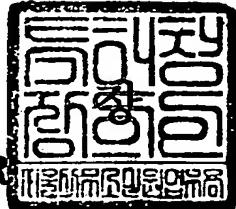
출원년월일 : 2003년 03월 11일
Date of Application MAR 11, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.03.11
【국제특허분류】	H01L
【발명의 명칭】	고유전율 산화막 형성방법, 이 방법으로 형성된 유전막이 구비된 커패시터 및 그 제조방법
【발명의 영문명칭】	Method for manufacturing oxide film having high dielectric constant, capacitor comprising dielectric film formed by the method and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	이정현
【성명의 영문표기】	LEE, Jung Hyun
【주민등록번호】	711128-1056211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 동아아파트 715-802
【국적】	KR
【발명자】	
【성명의 국문표기】	서범석
【성명의 영문표기】	SEO, Bum Seok
【주민등록번호】	740910-1047717

【우편번호】 152-797
 【주소】 서울특별시 구로구 고척동 현대아파트 104동 110호
 【국적】 KR
 【발명자】
 【성명의 국문표기】 민요셉
 【성명의 영문표기】 MIN, Yo Sep
 【주민등록번호】 690318-1068117
 【우편번호】 442-470
 【주소】 경기도 수원시 팔달구 영통동 동아아파트 살구골7단지 성지아파트 71 1동 401호
 【국적】 KR
 【발명자】
 【성명의 국문표기】 조영진
 【성명의 영문표기】 CHO, Young Jin
 【주민등록번호】 710402-1058048
 【우편번호】 403-021
 【주소】 인천광역시 부평구 산곡1동 180-116 삼보아파트 가동 216호
 【국적】 KR
 【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 디리인 이영필 (인) 대리인 이해영 (인)
 【수수료】
 【기본출원료】 20 면 29,000 원
 【가산출원료】 15 면 15,000 원
 【우선권주장료】 0 건 0 원
 【심사청구료】 0 항 0 원
 【합계】 44,000 원
 【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

고유전율 산화막 형성방법, 이 방법으로 형성된 유전막이 구비된 커패시터 및 그 제조방법에 관해 개시되어 있다. 개시된 본 발명은 ALD 장치에 반도체 기판을 로딩하는 제1 단계와, 반도체 기판 상에 제1 및 제2 반응요소가 소정의 조성비로 포함된 반응물을 증착시키는 제2 단계와, 상기 제1 및 제2 반응요소가 동시에 산화되도록 상기 반응물을 산화시켜 상기 반도체 기판 상에 상기 두 반응요소가 포함된 제1 고유전율 산화막을 형성하는 제3 단계를 포함하는 것을 특징으로 하는 고유전율 산화막 형성방법, 이 방법이 적용된 커패시터 및 그 제조방법을 제공한다. 이러한 본 발명을 이용하면, 산화막 형성에 사용되는 장치의 부피를 줄일 수 있고, 그 생산성을 증가시키면서 생산단가는 낮출 수 있다. 또한, 유전율이 높고, 누설전류 및 트랩 밀도가 낮은 고유전율 산화막을 얻을 수 있다. 이러한 산화막을 유전막으로 구비함으로써 커패시터의 누설전류 및 트랩 밀도가 낮아지게 된다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

고유전율 산화막 형성방법, 이 방법으로 형성된 유전막이 구비된 커패시터 및 그 제조방법{Method for manufacturing oxide film having high dielectric constant, capacitor comprising dielectric film formed by the method and method for manufacturing the same}

【도면의 간단한 설명】

도 1 내지 도 3은 종래 기술에 의한 고유전율 산화막 형성방법을 단계별로 나타낸 단면도들이다.

도 4 내지 도 13은 본 발명의 실시예에 의한 고유전율 산화막 형성방법을 단계별로 나타낸 단면도들이다.

도 14는 본 발명의 실시예에 의한 고유전율 산화막 형성방법에서 증착 온도에 따른 산화막의 조성비의 변화를 보여주는 그래프이다.

도 15의 (a)도 및 (b)도는 각각 본 발명의 실시예에 의한 고유전율 산화막 형성방법에서 고유전율 산화막을 형성한 직후에 찍은, 적층물의 결정화를 보여주는 투과 전자현미경사진 및 EDS 분석 결과를 보여주는 그래프이다.

도 16의 (a)도 및 (b)도는 각각 본 발명의 실시예에 의한 고유전율 산화막 형성방법에서 고유전율 산화막을 형성하고, 고유전율 산화막이 형성된 결과물을 어닐링한 다음에 찍은, 적층물의 결정화를 보여주는 투과 전자현미경사진 및 EDS 분석 결과를 보여주는 그래프이다.

도 17의 (a)도 및 (b)도는 각각 종래 기술 및 본 발명의 실시예에 의한 고유전율 산화막 형성방법에 따라 형성된 고유전율 산화막에 대한 C-V 변화를 보여주는 그래프들이다.

도 18 내지 도 21은 본 발명의 실시예에 의한 고유전율 산화막 형성방법으로 형성한 유전막이 구비된 커패시터들의 단면도들이다.

도면의 주요부분에 대한 부호의 설명

40, 70:반도체 기판

42:AHO막

44:산화 방지막

46, 47:제1 및 제2 전구체

48:반응물(Hf-Al)

50:산화물($(Al_X, Hf_{1-X})O_Y$)

50a:고유전율 산화막

60a, 78a:하부 전극

60b, 78b:상부전극

72:충간 절연층

74:콘택홀

76:도전성 플러그

G1 내지 G9:제1 내지 제9 그래프 Lc:결정 라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 물질막 제조방법과 이를 이용한 커패시터 및 그 제조방법에 관한 것으로서, 자세하게는 고유전율 산화막 형성방법, 이 방법으로 형성한 유전막이 구비된 반도체 장치의 커패시터 및 그 제조 방법에 관한 것이다.

<17> 반도체 메모리 장치, 예컨대 DRAM의 집적도가 높아지면서 실리콘 산화막(SiO_2)을 이용한 게이트 산화막 또는 커패시터 형성은 물리적 한계에 직면하고 있다. 따라서 상기 실리콘 산화막보다 유전율이 높은 물질, 곧 고유전율을 갖는 물질에 관심이 집중되고, 그에 대한 연구도 한층 활발하게 진행되고 있다.

<18> 고유전율을 갖는 물질(이하, 고유전율 물질이라 함) 중에서 대표적인 것이 알루미늄 산화막(Al_2O_3)과 하프늄 산화막(HfO_2)이다. 특히, 상대적으로 누설전류가 낮은 알루미늄 산화막과 상대적으로 고유전율을 갖는 하프늄 산화막이 적층된 다층 구조에 대해 많은 관심이 집중되고 있다.

<19> HfO_2 , ZrO_2 , SrTiO_3 등과 같은 고유전율 물질을 DRAM의 커패시터나 게이트 산화막에 적용하기 위한 노력도 진행되고 있으나, 실리콘(Si)을 하부 전극으로 사용하는 MIS(metal/insulator/silicon)구조에서 상기 고유전율 물질들 대부분이 낮은 밴드 옵셋(band offset)을 갖는 관계로 누설전류가 증가된다. 이러한 이유로 상기 고유전율 물질들을 상기 MIS구조에 적용하기는 현실적으로 어렵다.

<20> 이에 따라 알루미늄 산화막과 같이 유전율은 상대적으로 낮지만 실리콘층과의 밴드 옵셋이 큰 물질을 실리콘층과 고유전율 물질사이에 형성하는 방법으로 유전율은 손해를 보더라도 누설전류를 줄이려는 연구가 활발히 진행되고 있다. 곧, 실리콘층(Si)/알루미늄 산화막(Al_2O_3)/고유전율 물질막(high-k material)이 순차적으로 적층된 다층 구조가 각광을 받고 있고, 이에 대한 연구도 활발하게 진행되고 있다.

<21> 도 1 내지 도 3은 상기 다층 구조로 고유전율 산화막을 형성하는, 종래 기술에 의한 산화막 형성방법의 일예를 보여준다.

<22> 도 1을 참조하면, 실리콘층(10) 상에 산화 방지막(12)이 형성된다. 산화 방지막(12)은 급속 열처리(Rapid Thermal Process)방식으로 형성된 나이트라이드막(nitride film)이다. 산화 방지막(12)이 형성된 후, 도 2에 도시된 바와 같이 산화 방지막(12) 상에 알루미늄 산화막(14)이 형성된다. 이어서, 도 3에 도시된 바와 같이, 알루미늄 산화막(14) 상에 이 보다 유전율이 큰 하프늄 산화막(16)이 형성된다. 참조번호 18은 상부전극으로 사용된 폴리 실리콘층을 가상적으로 나타낸 것이다.

<23> 이와 같이 알루미늄 산화막과 하프늄 산화막이 순차적으로 적층되는 종래 기술에 의한 고유전율 산화막 형성방법의 경우, 알루미늄 산화막의 유전율이 낮기 때문에, 커패시터의 커패시턴스를 증가시키는데는 한계가 있다. 또한, 상기 알루미늄 산화막과 상기 하프늄 산화막의 형성 온도가 다르기 때문에, 상기 각 산화막을 형성하기 위해서 서로 다른 ALD장치가 필요하다.

<24> 곧, 종래 기술에 따라 고유전율 산화막을 형성하는 경우, 적어도 2대의 ALD 장치가 필요하게 된다. 또한, 하프늄 산화막의 증착속도가 알루미늄 산화막에 비해 상대적으로 낮기 때문에, 생산성도 낮아진다. 아울러, 커패시터를 완성한 후의 열처리 과정에서 고유전율 산화막의 결정화로 인해 누설전류가 증가된다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 장치의 부피를 줄이면서 생산성을 높일 수 있는 고유전율 산화막 제조 방법을 제공함에 있다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 산화막 제조 방법으로 형성한 반도체 장치의 커패시터를 제공함에 있다.

<27> 본 발명이 이루고자 하는 또 다른 기술적 과제를 상기 커패시터의 제조 방법을 제공함에 있다.

【발명의 구성 및 작용】

<28> 상기 기술적 과제를 달성하기 위하여, 본 발명은 ALD 장치에 반도체 기판을 로딩하는 제1 단계와, 상기 반도체 기판 상에 제1 및 제2 반응요소가 소정의 조성비로 포함된 반응물을 증착시키는 제2 단계와, 상기 제1 및 제2 반응요소가 동시에 산화되도록 상기 반응물을 산화시켜 상기 반도체 기판 상에 상기 두 반응요소가 포함된 제1 고유전율 산화막을 형성하는 제3 단계를 포함하는 것을 특징으로 하는 고유전율 산화막 형성방법을 제공한다.

<29> 상기 방법에 상기 제1 고유전율 산화막을 형성한 후, 상기 ALD 장치로부터 잔류물을 배기하는 단계와 상기 제2 및 제3 단계를 반복하여 상기 제1 고유전율 산화막 상에 제2 고유전율 산화막을 형성하는 단계가 더 포함될 수 있다.

<30> 상기 제2 단계는 상기 ALD장치에 상기 제1 반응요소를 갖는 제1 전구체를 공급하여 상기 반도체 기판 상에 상기 제1 전구체를 흡착시키는 단계와, 상기 ALD 장치로부터 잔류물을 배기하는 단계와, 상기 ALD 장치에 상기 제1 반응요소와 반응하는 상기 제2 반응요소를 갖는 제2 전구체를 공급하는 단계와, 상기 ALD 장치로부터 잔류물을 배기하는 단계로 구성된다.

<31> 상기 제1 전구체는 상기 제1 반응요소 및 전기 음성도(electronegativity)가 염소(Cl) 또는 불소(F)를 포함하는 화합물이고, 상기 제2 전구체는 상기 제2 반응요소 및 상기 염소와 불소보다 전기 음성도가 낮은 탄화수소(hydrocarbon)계열의 리간드를 포함하는 화합물이다. 이때, 탄화수소계열의 리간드는 $\text{CH}_2\text{-CH}_2\text{-...-CH}_3$ 또는 $\text{CH}_2\text{-CH}_2\text{-...-CH}_3$ 에서 일부 H가 $\text{CH}_2\text{-CH}_2\text{-...-CH}_3$ 로 치환된 구조를 갖는다.

<32> 상기 ALD 장치에 상기 반도체 기판을 로딩하기에 앞서 상기 반도체 기판 상에 산화방지막을 형성할 수 있다.

<33> 상기 제1 및 제2 반응요소는 각각 하프늄(Hf) 및 알루미늄(Al)이고, 상기 제1 고유전율 산화막은 $\text{AHO}((\text{Al}_x, \text{Hf}_{1-x})_y)$ 막이며, 상기 제2 고유전율 산화막은 AHO 막 또는 AHO 막 보다 유전율이 큰 유전막으로 형성할 수 있다.

<34> 상기 제1 고유전율 산화막 상에 제3 고유전율 산화막, 예컨대 AHO 막보다 유전율이 큰 유전막을 더 형성하되, 상기 ALD 장치와 다른 증착장치에서 형성한다.

<35> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 하부전극, 상기 하부전극 상에 적층된 $\text{AHO}((\text{Al}_x, \text{Hf}_{1-x})_y)$ 막 및 상기 AHO 막 상에 형성된 상부전극을 구비하는 것을 특징으로 하는 반도체 장치의 커패시터를 제공한다.

<36> 상기 또 다른 기술적 과제를 달성하기 위하여, 본 발명은 반도체 기판 상에 하부전극을 형성하는 제1 단계와, 상기 하부전극이 형성된 반도체 기판을 ALD 장치에 로딩하는 제2 단계와, 상기 ALD 장치에 로딩된 상기 하부전극 상에 제1 및 제2 반응요소가 소정의 조성비로 포함된 반응물을 증착시키는 제3 단계와, 상기 제1 및 제2 반응요소가 동시에 산화되도록 상기 반응물을 산화시켜 상기 하부전극 상에 상기 두 반응요소가 포함된

제1 고유전율 산화막을 형성하는 제4 단계와, 상기 ALD 장치로부터 상기 제1 고유전율 산화막이 증착된 결과물을 언로딩하는 제5 단계와, 상제1 고유전율 산화막 상에 상부전극을 형성하는 제6 단계를 포함하는 것을 특징으로 하는 커패시터 제조방법을 제공한다.

<37> 상기 제1 고유전율 산화막을 형성한 후, 상기 ALD 장치로부터 잔류물을 배기한 다음, 상기 제3 및 제4 단계를 반복하여 상기 제1 고유전율 산화막 상에 제2 고유전율 산화막을 형성한다.

<38> 상기 제3 단계는 상기 고유전율 산화막 형성방법과 동일하다.

<39> 상기 ALD 장치에 상기 반도체 기판을 로딩하기에 앞서 상기 하부전극 상에 산화방지막을 형성할 수 있다.

<40> 상기 상부전극을 형성하기에 앞서 상기 제1 고유전율 산화막 상에 상기 제2 고유전율 산화막과 다른 방식으로 제3 고유전율 산화막을 형성할 수 있다. 상기 제3 고유전율 산화막은 예컨대 AHO막보다 유전율이 큰 유전막으로써 ALD 장치와 다른 증착장치, 예컨대 CVD 장치에서 형성할 수 있다.

<41> 이러한 본 발명을 이용하면, 고유전율 산화막의 특성을 양호하게 유지하면서 그 증착에 사용되는 증착 장치의 부피를 줄일 수 있고, 증착에 소요되는 시간을 줄일 수 있어 생산성을 높일 수 있다.

<42> 이하, 본 발명의 실시예에 의한 고유전율 산화막 형성방법, 이 방법으로 형성된 유전막이 구비된 커패시터 및 그 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<43> 하기 설명에서 본 발명자는 알루미늄을 포함한 전구체와 고유전 물질막 증착에 사용되는 전구체사이의 화학반응을 이용하여 고 유전율을 갖되, 낮은 누설전류와 낮은 트랩 밀도를 확보할 수 있는 고유전율 산화막 형성 방법과 이 방법으로 형성한 고유전율 산화막을 유전층으로 구비한 커패시터와 함께 상기 커패시터의 제조 방법에 대하여 기술하였다.

<44> 먼저, 본 발명의 실시예에 의한 고유전율 산화막 형성방법을 도 4 내지 도 13을 참조하여 설명한다.

<45> 도 4 및 도 5는 각각 본 발명의 제1 및 제2 실시예에 의한 고유전율 산화막 형성방법에 따라 형성된 결과물을 보여주는 단면도들이다. 도 4 및 도 5에서 참조번호 40 및 42는 각각 반도체 기판 및 $AH_0((Al_xHf_{(1-x)})_0)_Y$ 막을 나타내고, 도 4의 참조번호 44는 반도체 기판(40)과 AH₀막(42)사이에 형성된 산화 방지막, 예컨대 급속열처리된 질화막(이하, RTN막이라 함)을 나타낸다.

<46> 계속해서, 도 4 및 도 5에 도시한 결과물의 형성 방법에 대해 보다 상세하게 설명한다.

<47> <제1 실시예>

<48> 먼저, 고유전율 산화막이 형성될 반도체 기판, 예컨대 실리콘 기판을 ALD장치(미도시)의 웨이퍼 스테이지 상에 로딩한다. 이후, 상기 ALD 장치에 제1 반응요소, 예컨대 하프늄(Hf)이 포함된 제1 전구체를 소정량 공급하여 도 6에 도시한 바와 같이 반도체 기판(40)의 표면에 제1 전구체(46)를 화학 흡착시킨다. 제1 전구체(46)는 상기 제1 반응요소 및 염소(Cl)나 불소(F) 등과 같이 전기 음성도(electronegativity)가 큰 요소를 포

함하는 화합물, 예를 들면, HfCl_4 이다. 상기 ALD 장치를 배기하여 상기 주입된 제1 전구체들 중 반도체 기판(40)의 표면에 흡착되지 않은 제1 전구체들을 상기 ALD 장치 밖으로 제거한다. 이어서 반도체 기판(40) 상으로 제1 전구체(46)와 화학 반응을 일으키는, 곧 상기 제1 반응요소와 반응하는 제2 반응요소, 예컨대 알루미늄(Al)이 포함된 제2 전구체를 상기 ALD 장치에 공급한다. 제2 전구체는 상기 제2 반응요소 및 탄화수소계열의 리간드를 포함하는 화합물, 예를 들면, $\text{Al}(\text{CH}_3)_3$, $\text{Al}(\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3)$ 또는 $\text{Al}(\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3)$ 에서 하나의 H가 $\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3$ 로 치환된 화합물이다. 상기 탄화수소계열의 리간드는 상기 제1 전구체의 염소 및 불소에 비해 전기 음성도가 낮다.

<49> 이와 같이 상기 제1 및 제2 전구체의 리간드들사이의 전기 음성도가 다르기 때문에, 상기 제1 전구체의 염소 등은 상기 제2 전구체의 탄화수소계열과 쉽게 반응한다. 이러한 반응에 의해서, 상기 제1 및 제2 전구체의 리간드는 반응 부산물(by-product)로 제거되고, 반도체 기판(40) 상에 상기 제1 반응요소와 제2 반응요소가 화학 흡착된 반응물이 증착된다.

<50> 구체적으로, 도 7에 도시한 바와 같이, 상기 ALD 장치에 공급된 제2 전구체(47)는 제1 전구체(46)와 화학 반응을 일으키게 되는데, 이 과정에서 제1 전구체(46)의 리간드($-\text{C}_1$)와 제2 전구체(47)의 리간드($-\text{CH}_3$)가 결합하여 휘발되면서 제1 전구체(46)의 리간드가 제거된 자리는 제2 전구체(47)에 포함된 알루미늄으로 채워지게 된다. 이러한 반응을 통해서 도 8에 도시한 바와 같이 반도체 기판(40)의 표면상에 두 개의 양이온, 곧 하프늄(Hf)과 알루미늄(Al) 이온을 포함하는 반응물(Hf-Al)(48)이 고르게 형성된다.

<51> 계속해서, 반응물(48)이 형성된 반도체 기판(40) 상으로 반응물(48)을 산화시키기 위한 산화제, 예컨대 오존(O_3)이나 수증기(H_2O) 등과 같은 산화가스를 소정량 공급한다. 상기 산화가스는 반응물(Hf-Al)의 하프늄 및 알루미늄과 동시에 반응하게 된다. 곧, 반도체 기판(40)의 표면상에 형성된 반응물(48)이 산화되어 반도체 기판(40)의 표면상에 도 9에 도시한 바와 같이 산화물($(Al_xHf_{1-x})O_y$)(50)이 형성된다. 산화물(50)에서 하첨자 "X"의 값은 0.1~0.9이고, "Y"의 값은 2 ~ 5이다. 도 9에서 참조부호 50a는 산화물(50)로 이루어진 고유전율 산화막, 곧 AHO막을 나타낸다.

<52> 상기한 제1 전구체(46)의 공급에서부터 반응물(48)을 산화하기까지의 공정은 소정 온도에서, 예를 들면 250??~400??사이의 어느 한 온도에서 실시하는 것이 바람직하고, 300??에서 실시하는 것이 더욱 바람직하다.

<53> 그런데, 도 14에 도시한 바와 같이 반응물(48)의 조성비($Hf/(Al+Hf)$)는 온도에 따라 변화하기 때문에, 온도에 따라 조성비를 조절할 수 있고, 상기 바람직한 온도 범위도 달라질 수 있다. 예컨대 반응물(48)의 누설전류 특성 및/또는 유전율 특성이 특정 조성비에서 특히 우수한 경우, 상기 공정의 바람직한 온도는 상기 특정 조성비에 해당되는 온도가 된다.

<54> 도 14에서 참조부호 G1은 상기 공정 온도에 따른 반응물(48)의 조성비의 변화를 보여주는 제1 그래프이다.

<55> 계속해서, 도 9에 도시한 바와 같이, 반도체 기판(40)의 표면상에 고유전율 산화막(50a)을 형성한 다음, 상기 ALD 장치로부터 잔류가스들을 제거하기 위한 배기 공정을 실시한다. 이후, 반도체 기판(40)의 표면상에 원하는 두께의 고유전율 산화막이 증착될 때까지 제1 전구체(46) 공급공정에서부터 반응물(48) 산화공정 및 상기 배기공정을

n회 반복한다. 마지막 배기 공정을 실시한 후 최종적으로 형성한 고유전을 산화막을 소정 온도에서 열처리한다.

<56> <제2 실시 예>

<57> 도 10 내지 도 13에 나타낸 바와 같이, 제1 전구체(46) 공급공정 이하 모든 공정이 반도체 기판(40) 상에 산화 방지막(44)이 형성된 후 진행되는 것을 제외하고, 제1 실시 예와 동일하다. 산화 방지막(44)은 질소 분위기의 노(furnace) 등에 반도체 기판(40)을 소정 시간 넣어 급속 열처리하여 형성한 질화막으로써, 반도체 기판(40) 상에 증착되는 유전물질과 실리콘의 반응으로 상기 유전물질의 유전율이 저하되는 것을 방지한다. 산화 방지막(44)으로 실리콘 옥시 나이트라이드막(SiON)을 형성할 수도 있다.

<58> 다음에는 측정 결과를 통해서 본 발명의 실시예에 의한 형성방법으로 형성한 고유전율 산화막의 특성들에 대해 설명한다.

<59> 도 15의 (a)도 및 (b)도는 각각 본 발명에 따라 형성한 AHO막의 결정화 정도를 측정한 TEM 사진과 AHO막의 위치에 따른 하프늄 및 알루미늄의 함량의 변화를 나타내는 제2 및 제3 그래프들(G2, G3)로써, 상기 AHO막을 형성한 직후에 측정한 결과, 곧 결정화를 위한 열처리 전에 측정한 결과이다. 반면, 도 16의 (a)도 및 (b)도는 각각 도 15에 도시한 것과 동등한 것이되, 결정화를 위한 열처리를 실시한 AHO막을 대상으로 측정한 결과들이다. 도 16의 (b)도에서 참조번호 G4 및 G5는 각각 제2 및 제3 그래프들(G2, G3)에 대응되는 제4 및 제5 그래프들을 나타낸다.

<60> 도 15의 (a)도를 참조하면, 참조부호 Lc로 나타낸 반도체 기판(40)의 결정 라인은 반도체 기판(40)과 산화 방지막(44)의 계면에서 끝난 것을 볼 수 있다. 이와 동등한 결과를 도 16의 (a)도에서도 볼 수 있다.

<61> 도 15 및 도 16의 (a)도에 나타난 이러한 결과는 본 발명에 의한 AHO막의 경우, 결정화를 위한 열처리 과정에서 AHO막의 결정화가 억제된다는 사실을 알려준다.

<62> 본 발명에 의한 AHO막은 30?? 정도로 얇게 형성되는 바, 결정화가 이루어지는 경우, 두껍게 형성된 때와 같이 누설전류가 억제되는 것이 아니라 오히려 증가되는 특성을 나타낸다. 때문에 도 15 및 도 16의 (a)도에서 볼 수 있는 바와 같은 본 발명에 의한 AHO막의 결정화 억제는 본 발명에 의한 AHO막의 경우, 누설전류가 억제될 수 있음을 의미한다.

<63> 본 발명에 의한 AHO막의 누설전류 억제 정도는 그 조성비와 밀접한 관계가 있기 때문에, AHO막의 누설전류 억제 정도는 결국 반도체 기판(40)의 표면상에 증착되는 반응물(48)의 증착 온도와 관련이 있게 된다.

<64> 도 15 및 도 16의 (b)도에서 가로축은 측정 위치를 나타내는데, 상기 측정위치는 본 발명에 따라 반도체 기판(40) 상에 형성된 AHO막(42)의 표면(위치"0")에서부터 이에 수직한 방향을 따라 반도체 기판(40)(위치 "20" 또는 "40")까지 분포되어 있다.

<65> 도 15 및 도 16 (b)도의 제2 내지 제5 그래프들(G2, G3, G4, G5)을 참조하면, 결정화를 위한 최종 열처리 전의 AHO막에서 나타나는 하프늄 및 알루미늄 함량 분포 형태 (G2, G3)와 상기 최종 열처리 후의 AHO막에서 나타나는 하프늄 및 알루미늄 함량 분포

형태(G4, G5)가 유사하다는 사실로부터 상기 최종 열처리 후에도 AHO막에서 하프늄 및 알루미늄 함량 분포가 크게 달라지지 않음을 알 수 있다.

<66> 계속해서, 도 17은 바이어스 전압에 따른 커패시턴스 변화를 보여주는 것으로, (a) 도는 종래 기술에 의한 고유전율 산화막 형성방법으로 형성된 알루미늄 산화막이 구비된 커패시터(이하, 종래의 커패시터라 함)에 대한 C-V 특성을 보여주고, (b)도는 본 발명에 의한 고유전율 산화막 형성방법으로 형성된 AHO막이 구비된 커패시터(이하, 본 발명의 커패시터라 하고, 이에 대해서는 후술된다)의 C-V특성을 보여준다.

<67> 도 17 (a)도의 제6 그래프(G6)는 상기 종래의 커패시터에 대해서 상기 바이어스 전압을 양(+)에서 음(-)으로 인가하였을 때의 커패시턴스 변화를 보여주고, 제7 그래프(G7)는 상기 바이어스 전압의 인가가 반대인 경우의 커패시턴스 변화를 보여준다.

<68> 도 17 (b)도의 제8 및 제9 그래프들(G8, G9)은 각각 상기 본 발명의 커패시터에 대해 상기 바이어스 전압을 상기 종래의 경우와 동일하게 인가하였을 때의 커패시턴스 변화를 보여준다.

<69> 제6 및 제7 그래프들(G6, G7)의 경우, 두 그래프들(G6, G7)사이에 갭이 존재하는 것을 볼 수 있는데, 이러한 갭은 상기 종래 커패시터의 고유전율 산화막, 곧 알루미늄 산화막내에 존재하는 트랩(trap)에 기인한다.

<70> 한편, 상기 본 발명의 커패시터와 관련된 제8 및 제8 그래프들(G8, G9)을 참조하면, 제6 및 제7 그래프들(G6, G7)과 달리 두 그래프들(G8, G9)사이에 갭이 없음을 알 수 있다. 이것은 곧 본 발명의 커패시터에 구비된 고유전율 산화막, 예컨대 AHO막 혹은 AHO막과 다른 고유전율산화막으로 구성된 물질막(예컨대, 도 19의 42, 62)에 트랩이 거

의 존재하지 않는다는 것을 의미하거나 적어도 종래의 커패시터보다 훨씬 적은 밀도의 트랩이 존재한다는 것을 의미한다.

<71> 상술한 본 발명의 실시예에 의한 고유전율 산화막 형성방법(이하, 본 발명의 방법이라 함)은 예컨대, 게이트 산화막이나 커패시터의 유전막을 형성하는데 적용할 수 있는데, 도 18 내지 도 21은 본 발명의 방법에 따라 형성된 유전막이 구비된 반도체 장치의 커패시터들의 단면을 보여준다.

<72> 도 18에 도시한 커패시터의 경우, 하부전극(60a) 상에 산화 방지막(44)이 형성되어 있고, 산화 방지막(44) 상에 $AHO((Al_x,Hf_{1-x})O_y)$ 막(42)이 고유전율 유전막으로써 형성되어 있다. AHO 막(42)에서 하첨자 "X"의 값은 0.1~0.9이고, "Y"의 값은 2~5이다. AHO 막(42) 상에 상부전극(60b)이 구비되어 있다. 하부전극(60a)은 하부 반도체 기판(미도시)에 연결된 실리콘 전극이고, 산화 방지막(44)은 RTN막 또는 실리콘 옥시 나이트라이드막(SiON)이다. 상부전극(60b)은 예컨대 폴리 실리콘 전극이다. AHO 막(42)은 상술한 본 발명의 방법으로 형성된 유전막이다. AHO 막(42) 대신 동등한 다른 유전막이 구비될 수 있는데, 이 사실은 도 19 내지 도 21에 도시한 커패시터에 모두 적용될 수 있다.

<73> 한편, 상부전극(60b)과 AHO 막(42)사이에 AHO 막(42)보다 유전율이 큰 유전막, 예를 들면, HfO_2 막, ZrO_2 막, 또는 STO 막 등이 더 구비될 수 있다. 도 19는 이 경우를 보여준다. 도 19에서 참조번호 62는 AHO 막(42)과 상부전극(60b)사이에 구비된 고 유전막을 나타낸다.

<74> 도 20은 도 18에 도시한 커패시터에서 산화 방지막(44)이 배제된 경우를 보여준다. 이 경우에도 AHO 막(42)과 상부전극(60b)사이에 도 19에 도시한 바와 같은 고유전막(62)이 더 구비될 수 있다.

<75> 도 21은 전극이 입체적인 형태를 갖는 커패시터를 보여준다. 여기서, 하부전극(78a)은 실린더 형태로써, 층간 절연층(72)에 형성된 콘택홀(74)을 채운 도전성 플러그(76)를 통해서 반도체 기판(70)에 연결되어 있다. 하부전극(78a)은 산화 방지막(44)으로 덮여 있다. 산화 방지막(44)의 구비는 선택적이다. 산화 방지막(44)은 소정 두께의 AHO막(42)으로 덮여 있다. AHO막(42)은 본 발명의 방법으로 형성된 유전막이다. AHO막(42)은 상부전극(78b), 예컨대 폴리 실리콘 전극으로 덮여 있다. 상부전극(78b)과 AHO막(42) 사이에 도 19에 도시한 바와 같은 고유전막(62)이 더 구비될 수 있는데, 이 경우에도 산화 방지막(44)은 필요에 따라 선택적으로 구비될 수 있다. 곧, AHO막(42)과 하부전극(78a)의 반응 정도는 매우 낮기 때문에, 산화 방지막(44)은 필요에 따라 구비될 수도 있고, 그렇지 않을 수도 있다.

<76> 한편, 도 18 내지 도 21에 도시한 커패시터의 제조 방법을 도면을 참조하지 않고 다음과 같이 요약한다.

<77> 곧, 반도체 기판과 연결되는 하부전극(60a, 78a)을 형성한 다음, 이를 ALD 장치에 로딩하여 하부전극(60a, 78a) 상에 상술한 본 발명의 방법에 따라 고유전율 산화막(42)을 유전막으로써 형성한다. 이어서 고유전율 산화막(42)이 적층된 결과물을 상기 ALD 장치로부터 언 로딩(unloading)하여 소정의 증착장치에서 고유전율 산화막(42) 상에 상부전극(60b, 78b)을 형성한다.

<78> 이러한 커패시터 제조 과정에서 하부전극(60a, 78a)과 고유전율 산화막(42)사이에 도 18, 도 19 또는 도 21에 도시한 바와 같이 산화 방지막(44)을 더 형성할 수 있다. 그리고 상부전극(60b, 78b)과 고유전율 산화막(42)사이에는 도 19에 도시한 바와 같이 고유전율 산화막(42)보다 유전율이 큰 유전막(62)을 더 형성할 수 있다. 이때, 유전막(62)

은 ALD 장치에서 형성하는 것이 바람직하나, ALD 장치가 아닌 다른 증착 장치, 예컨대 화학 기상 증착(Chemical Vapor Deposition) 장치에서 형성할 수도 있다.

<79> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 고유전막을 중심으로 그 상부 및 하부에 각각 AHO막이 구비된 커패시터를 구현할 수도 있을 것이다. 이와 같이 본 발명은 다양하게 변형할 수 있기 때문에, 본 발명의 범위는 상기 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<80> 상술한 바와 같이, 본 발명의 방법은 고유전율 산화막, 예컨대 AHO막을 형성함에 있어서, 알루미늄과 하프늄의 전구체들 간의 화학반응을 이용하여 알루미늄 및 하프늄 이온을 반도체 기판 상에 증착시킨 다음, 상기 이온들을 동시에 산화시킨다. 따라서 적어도 두 대의 ALD 장치가 필요했던 종래 기술과 달리 본 발명은 한 대의 ALD 장치만이 필요하다. 그 결과, 본 발명의 경우, 장치의 부피를 줄일 수 있고, 생산성을 증가시킬 수 있으며, 생산단가를 낮출 수 있다. 이와 함께 AHO막의 특성에서 알 수 있듯이, 본 발명의 방법으로 형성한 고유전율 산화막의 경우, 유전율은 높고, 누설전류 및 트랩 밀도는 낮은 이점을 갖고 있다. 이에 따라 본 발명의 방법으로 형성한 고유전율 산화막을 유전막으로 구비하는 커패시터의 누설전류 및 트랩 밀도 또한 낮아지게 된다.

【특허 청구범위】**【청구항 1】**

ALD 장치에 반도체 기판을 로딩하는 제1 단계;

반도체 기판 상에 제1 및 제2 반응요소가 소정의 조성비로 포함된 반응물을 증착시키는 제2 단계; 및

상기 제1 및 제2 반응요소가 동시에 산화되도록 상기 반응물을 산화시켜 상기 반도체 기판 상에 상기 두 반응요소가 포함된 제1 고유전율 산화막을 형성하는 제3 단계를 포함하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 제1 고유전율 산화막을 형성한 후, 상기 ALD 장치로부터 잔류물을 배기하는 단계; 및

상기 제2 및 제3 단계를 반복하여 상기 제1 고유전율 산화막 상에 제2 고유전율 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 제2 단계는 상기 ALD장치에 상기 제1 반응요소를 갖는 제1 전구체를 공급하여 상기 반도체 기판 상에 상기 제1 전구체를 흡착시키는 단계;

상기 ALD 장치로부터 잔류물을 배기하는 단계;

상기 ALD 장치에 상기 제1 반응요소와 반응하는 상기 제2 반응요소를 갖는 제2 전구체를 공급하는 단계; 및

상기 ALD 장치로부터 잔류물을 배기하는 단계를 더 포함하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 4】

제 3 항에 있어서, 상기 제1 전구체는 상기 제1 반응요소와 염소(Cl) 또는 불소(F)를 포함하는 화합물인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 5】

제 4 항에 있어서, 상기 제2 전구체는 상기 제2 반응요소와 상기 염소 및 불소보다 전기음성도가 낮은 탄화수소계열의 리간드를 포함하는 화합물인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 6】

제 5 항에 있어서, 상기에서 탄화수소계열의 리간드는 $\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3$ 또는 $\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3$ 에서 일부 H가 $\text{CH}_2-\text{CH}_2-\dots-\text{CH}_3$ 로 치환된 화합물인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 7】

제 1 항에 있어서, 상기 ALD 장치에 상기 반도체 기판을 로딩하기에 앞서 상기 반도체 기판 상에 산화 방지막을 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 8】

제 1 항에 있어서, 상기 제1 및 제2 반응요소는 각각 하프늄(Hf) 및 알루미늄(Al)인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 9】

제 1 항 또는 제 2 항에 있어서, 상기 제1 고유전율 산화막은 $AHO((Al_x, Hf_{1-x})O_y)$ 막인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 10】

제 2 항에 있어서, 상기 제2 고유전율 산화막은 AHO 막으로 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 11】

제 9 항에 있어서, 상기 제2 고유전율 산화막은 AHO 막으로 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 12】

제 1 항에 있어서, 상기 제1 고유전율 산화막 상에 제3 고유전율 산화막을 더 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 13】

제 3 항에 있어서, 상기 제1 전구체는 상기 제1 반응요소로써 하프늄이 포함된 전구체인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 14】

제 3 항에 있어서, 상기 제2 전구체는 상기 제2 반응요소로써 알루미늄이 포함된 전구체인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 15】

제 13 항에 있어서, 상기 제2 전구체는 상기 제2 반응요소로써 알루미늄이 포함된 전구체인 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 16】

제 7 항에 있어서, 상기 산화 방지막은 RTN(Rapid Thermal Nitride)막 또는 실리콘 옥시 나이트라이드(SiON)막으로 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법

【청구항 17】

제 12 항에 있어서, 상기 제3 고유전율 산화막은 AHO막보다 유전율이 큰 유전막으로 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 18】

제 17 항에 있어서, 상기 AHO막보다 유전율이 큰 유전막은 상기 ALD 장치와 다른 증착장치에서 형성하는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 19】

제 8 항에 있어서, 상기 제2 및 제3 단계는 동일온도에서 실시되는 것을 특징으로 하는 고유전율 산화막 형성방법.

【청구항 20】

하부전극;

상기 하부전극 상에 적층된 $AHO((Al_x,Hf_{1-x})O_y)$ 막; 및

상기 AHO막 상에 형성된 상부전극을 구비하는 것을 특징으로 하는 반도체 장치의 커패시터.

【청구항 21】

제 20 항에 있어서, 상기 하부전극과 상기 AHO막사이에 산화 방지막이 더 구비된 것을 특징으로 하는 반도체 장치의 커패시터.

【청구항 22】

제 20 항 또는 제 21 항에 있어서, 상기 상부전극과 상기 AHO막사이에 상기 AHO막 보다 유전율이 큰 유전막이 더 구비된 것을 특징으로 하는 반도체 장치의 커패시터.

【청구항 23】

반도체 기판 상에 하부전극을 형성하는 제1 단계;
상기 하부전극이 형성된 반도체 기판을 ALD 장치에 로딩하는 제2 단계;
상기 ALD 장치에 로딩된 상기 하부전극 상에 제1 및 제2 반응요소가 소정의 조성비로 포함된 반응물을 증착시키는 제3 단계;
상기 제1 및 제2 반응요소가 동시에 산화되도록 상기 반응물을 산화시켜 상기 하부전극 상에 상기 두 반응요소가 포함된 제1 고유전율 산화막을 형성하는 제4 단계;
상기 ALD 장치로부터 상기 제1 고유전율 산화막이 증착된 결과물을 언 로딩하는 제5 단계; 및
상제1 고유전율 산화막 상에 상부전극을 형성하는 제6 단계를 포함하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 24】

제 23 항에 있어서, 상기 제1 고유전율 산화막을 형성한 후, 상기 ALD 장치로부터 잔류물을 배기하는 단계; 및

상기 제3 및 제4 단계를 반복하여 상기 제1 고유전율 산화막 상에 제2 고유전율 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 25】

제 23 항 또는 제 24 항에 있어서, 상기 제3 단계는 상기 ALD장치에 상기 제1 반응 요소를 갖는 제1 전구체를 공급하여 상기 하부전극 상에 상기 제1 전구체를 흡착시키는 단계;

상기 ALD 장치로부터 잔류물을 배기하는 단계;

상기 ALD 장치에 상기 제1 반응요소와 반응하는 상기 제2 반응요소를 갖는 제2 전구체를 공급하는 단계; 및

상기 ALD 장치로부터 잔류물을 배기하는 단계를 더 포함하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 26】

제 23 항에 있어서, 상기 ALD 장치에 상기 반도체 기판을 로딩하기에 앞서 상기 하부전극 상에 산화 방지막을 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 27】

제 23 항 또는 제 24 항에 있어서, 상기 제1 고유전율 산화막은 AHO막인 것을 특징으로 하는 커패시터 제조방법.

【청구항 28】

제 24 항에 있어서, 상기 제2 고유전율 산화막은 AHO막 또는 상기 AHO막보다 유전율이 큰 유전막인 것을 특징으로 하는 커패시터 제조방법.

【청구항 29】

제 25 항에 있어서, 상기 제1 및 제2 전구체는 각각 하프늄을 포함하는 전구체 및 알루미늄을 포함하는 전구체인 것을 특징으로 하는 커패시터 제조방법.

【청구항 30】

제 23 항에 있어서, 상기 상부전극을 형성하기에 앞서 상기 제1 고유전율 산화막 상에 제3 고유전율 산화막을 더 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 31】

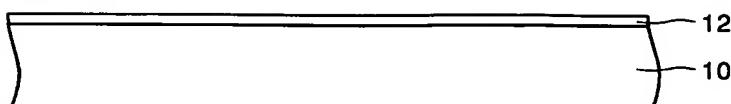
제 30 항에 있어서, 상기 제3 고유전율 산화막은 AHO막보다 유전율이 큰 유전막으로 형성하는 것을 특징으로 하는 커패시터 제조방법.

【청구항 32】

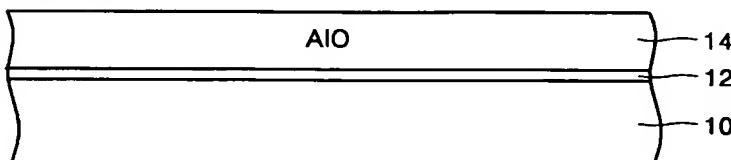
제 23 항에 있어서, 상기 제4 단계는 250??~400??에서 실시하는 것을 특징으로 하는 커패시터 제조방법.

【도면】

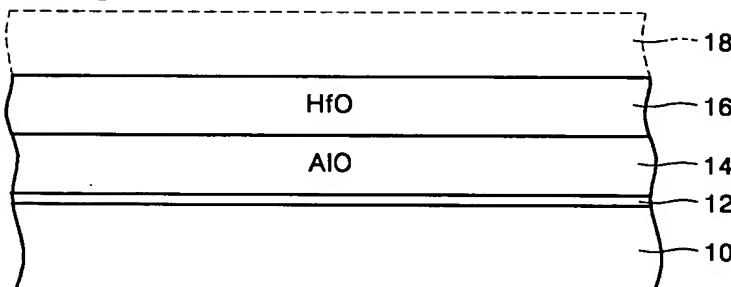
【도 1】



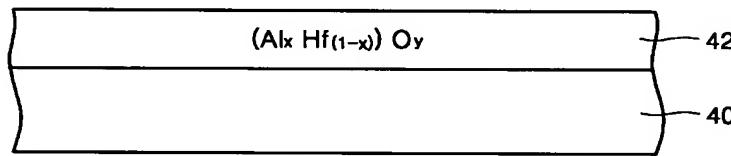
【도 2】



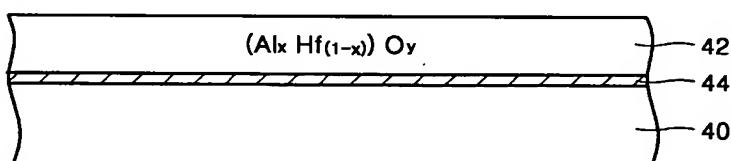
【도 3】



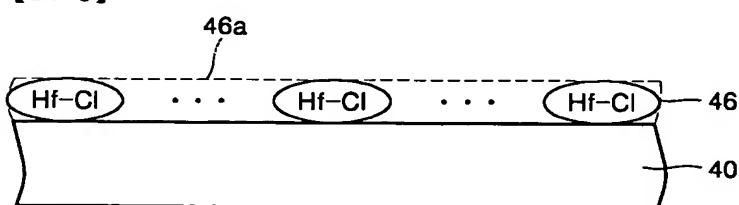
【도 4】



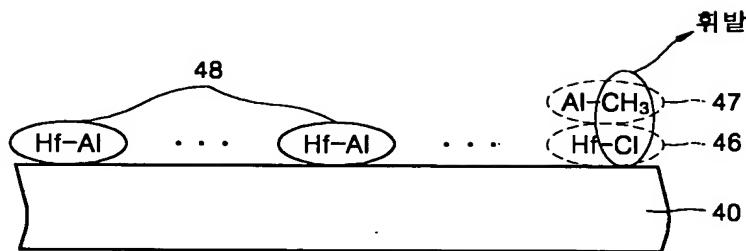
【도 5】



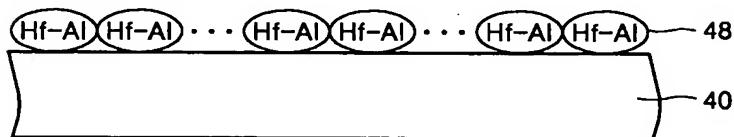
【도 6】



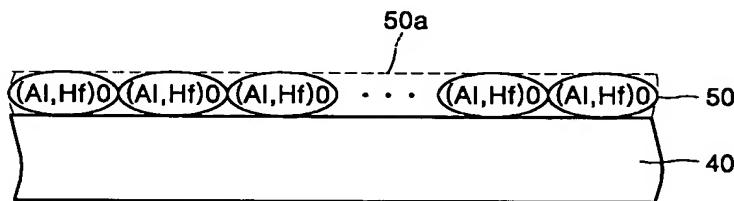
【도 7】



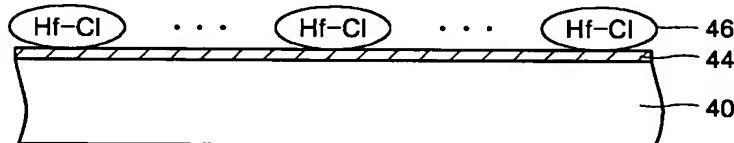
【도 8】



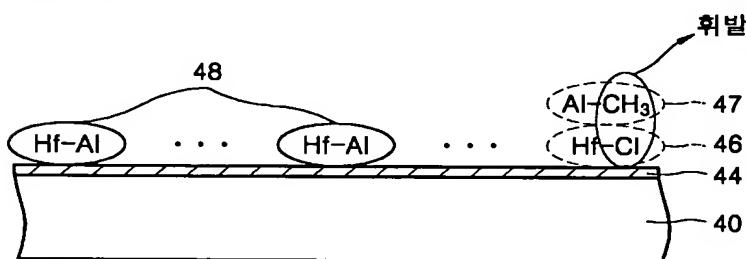
【도 9】



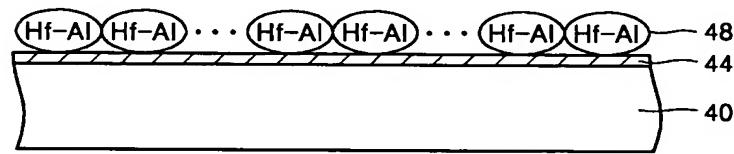
【도 10】



【도 11】



【도 12】

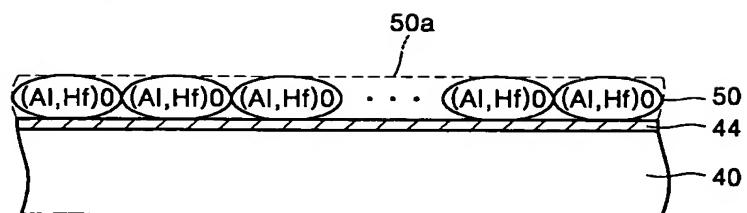




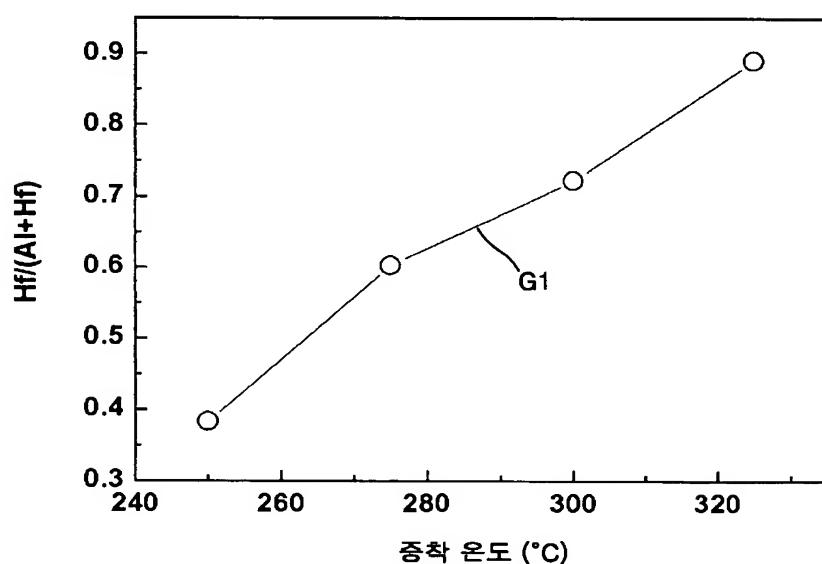
1020030015197

출력 일자: 2003/4/7

【도 13】



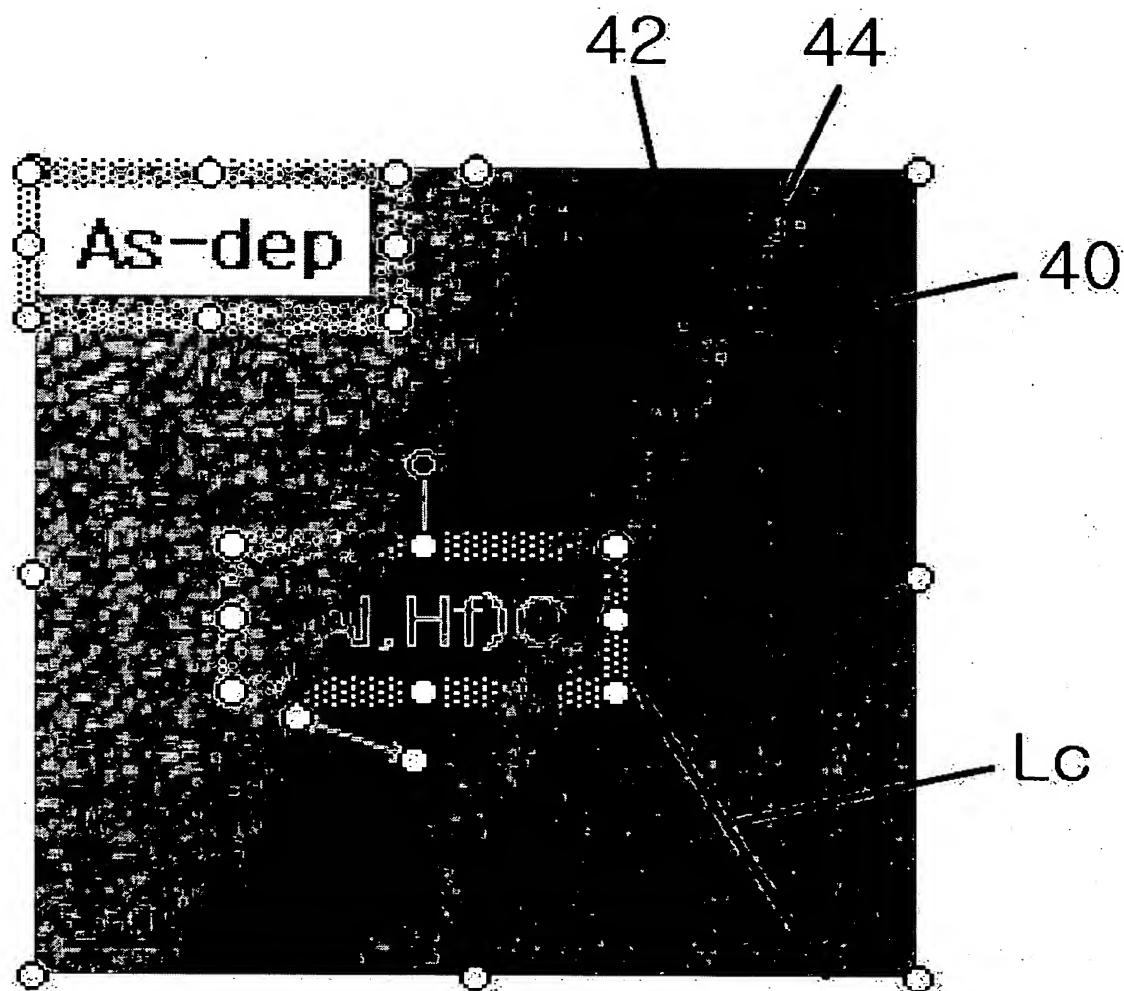
【도 14】



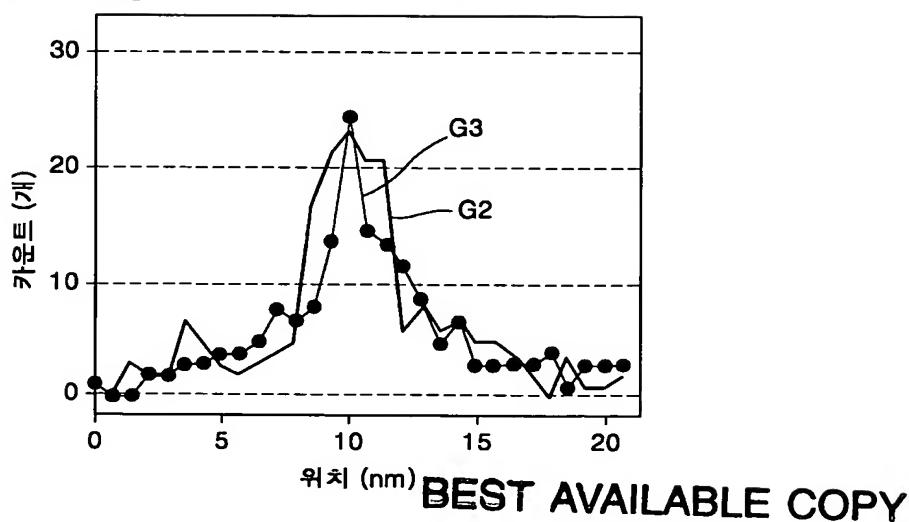
1020030015197

출력 일자: 2003/4/7

【도 15a】



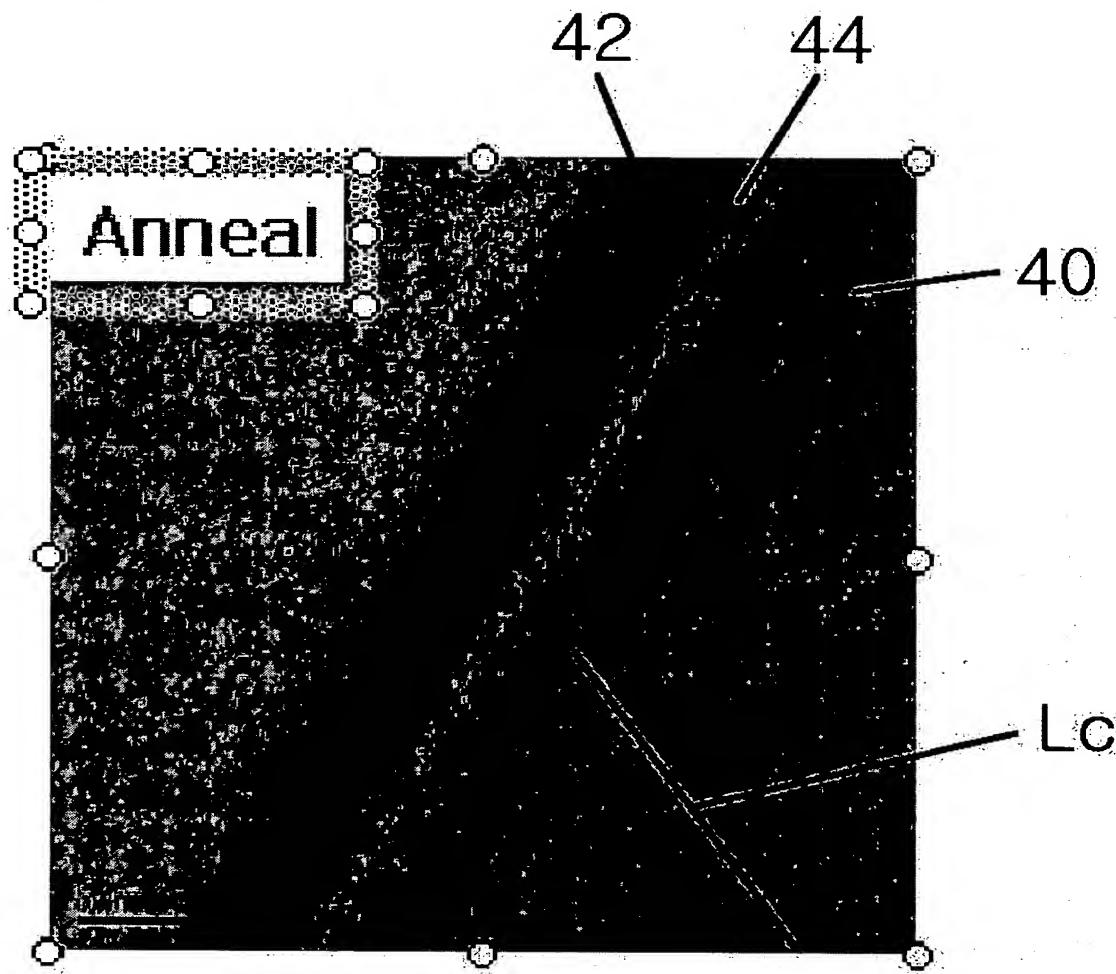
【도 15b】



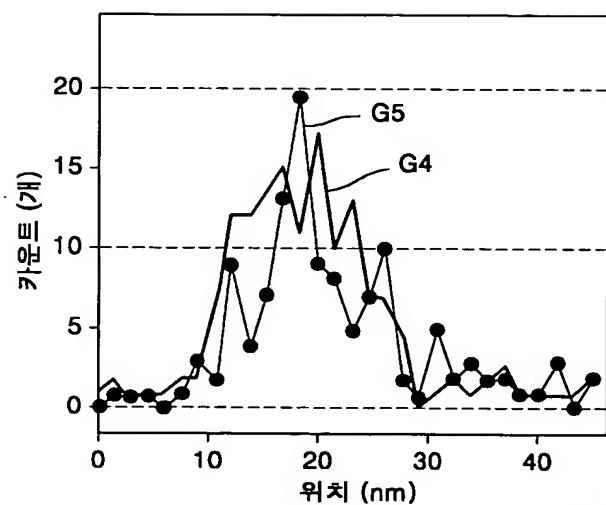
1020030015197

출력 일자: 2003/4/7

【도 16a】



【도 16b】

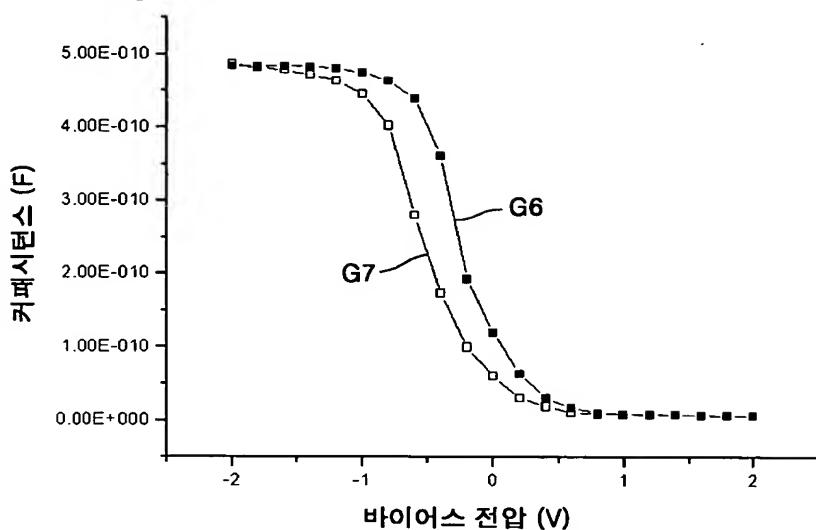


BEST AVAILABLE COPY

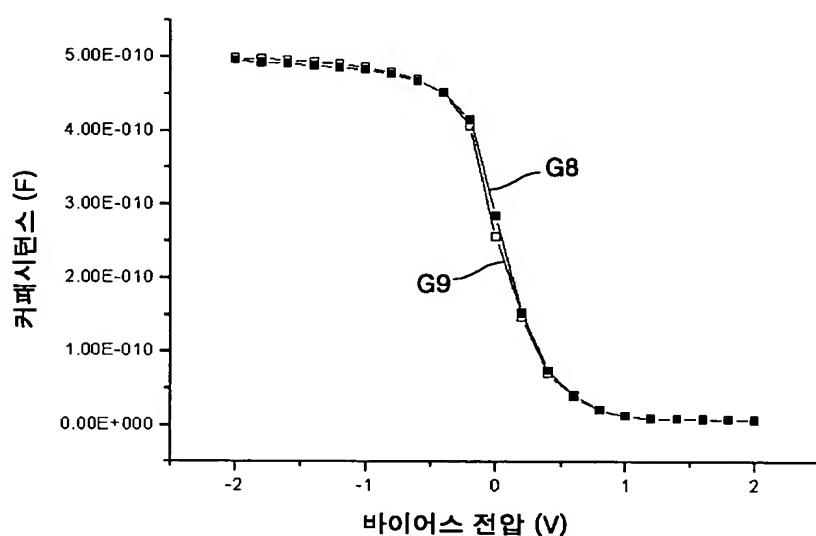
1020030015197

출력 일자: 2003/4/7

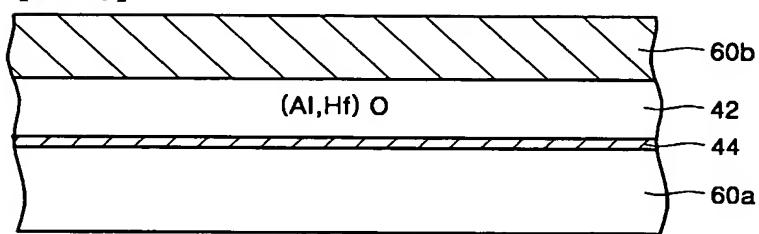
【도 17a】



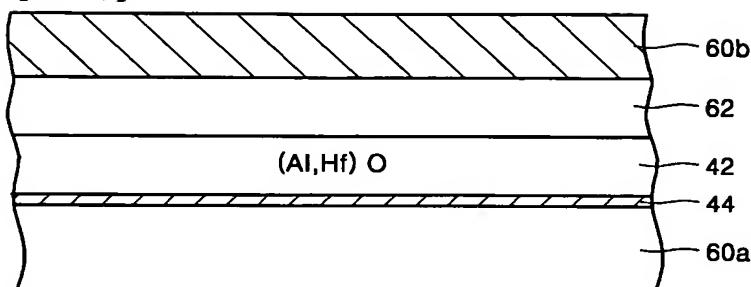
【도 17b】



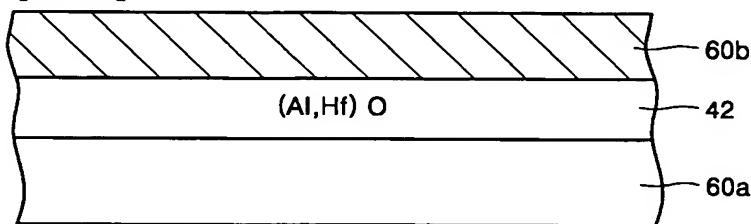
【도 18】



【도 19】



【도 20】



【도 21】

